

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 3 月 10 日 (10.03.2005)

PCT

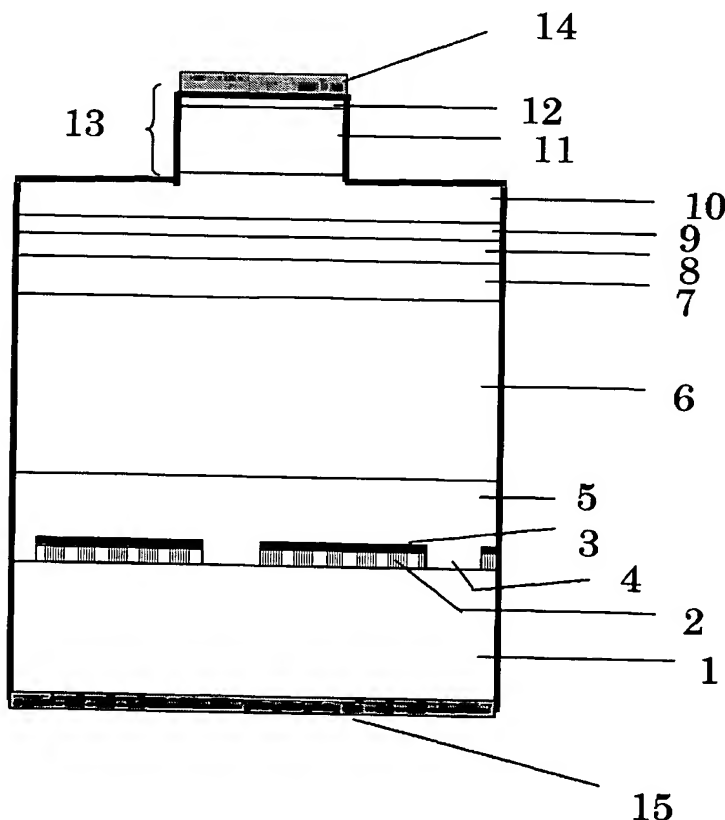
(10) 国際公開番号
WO 2005/022620 A1

- (51) 国際特許分類: H01L 21/205, 33/00, H01S 5/323
(21) 国際出願番号: PCT/JP2004/012467
(22) 国際出願日: 2004 年 8 月 30 日 (30.08.2004)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ: 特願2003-308117 2003 年 8 月 29 日 (29.08.2003) JP
(71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 Tokyo (JP).
(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 倉本 大 (KURAMOTO, Masaru) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP). 笹岡 千秋 (SASAKA, Chiaki) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP). 松館 政茂 (MATSUDATE, Masashige) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP).
(74) 代理人: 速水 進治 (HAYAMI, Shinji); 〒1500021 東京都渋谷区恵比寿西 2-1 7-1 6 代官山 TKビル 1 階 Tokyo (JP).

[続葉有]

(54) Title: NITRIDE SEMICONDUCTOR SUBSTRATE AND NITRIDE SEMICONDUCTOR DEVICE USING SAME

(54) 発明の名称: 窒化物半導体基板およびそれを用いた窒化物半導体素子



(57) Abstract: An AlN polycrystal (3) is deposited on a surface of an SiO₂ film (2) by a sputtering method, so that a mask is formed thereon. Then, an Si-doped n-GaN layer (5) is formed on the mask. Following that, an LD layer structure is formed by sequentially growing an n-type cladding layer (6) composed of an Si-doped n-type Al_{0.1}Ga_{0.9}N (silicon concentration: $4 \times 10^{17} \text{ cm}^{-3}$, thickness: 1.2 μm), an n-type light-trapping layer (7) composed of an Si-doped n-type GaN, a multiple quantum well layer (8) composed of an In_{0.2}Ga_{0.8}N well layer and an Si-doped In_{0.05}Ga_{0.95}N barrier layer, a cap layer (9) composed of an Mg-doped p-type Al_{0.2}Ga_{0.8}N, a p-type light-trapping layer (10) composed of an Mg-doped p-type GaN, a p-type cladding layer (11) composed of an Mg-doped p-type Al_{0.1}Ga_{0.9}N, and a p-type contact layer (12) composed of an Mg-doped p-type GaN.

(57) 要約: SiO₂膜(2)の表面にAlN多結晶3をスパッタリング法により堆積させ、マスクを形成する。次いで、このマスクを形成した上にSiドープn-GaN層5を形成する。その後、Siドープn型Al_{0.1}Ga_{0.9}N(シリコン濃度 $4 \times 10^{17} \text{ cm}^{-3}$ 、厚さ1.2 μm)からなるn型クラッド層(6)、Siドープn型GaNからなるn型光閉じ込め層(7)、In_{0.2}Ga_{0.8}N井戸層とSiドープIn_{0.05}Ga_{0.95}Nバリア層からなる多重量子井戸層(8)、Mgドープp型Al_{0.2}Ga_{0.8}Nからなるp型光閉じ込め層(10)、Mg

型Al_{0.2}Ga_{0.8}Nからなるキャップ層(9)、Mgドープp型GaNからなるp型光閉じ込め層(10)、Mgドープp型Al_{0.1}Ga_{0.9}Nからなるp型クラッド層(11)、Mgドープp型GaNからなるp型接触層(12)を形成する。

[続葉有]



(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,

CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告書
- 請求の範囲の補正の期限前の公開であり、補正書受領の際には再公開される。

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

窒化物半導体基板およびそれを用いた窒化物半導体素子

技術分野

[0001] 本発明は、窒化物半導体基板およびそれを用いた窒化物半導体素子に関する。

背景技術

[0002] 窒化物半導体を用いた素子の作製においては、半導体層中の貫通転位の低減が重要となる。こうした貫通転位の低減を図る技術として、特許文献1に記載されているように、マスク材を用いた選択成長を行う方法が知られている。以下、特許文献1記載の方法について図7を参照して説明する。

[0003] 同文献記載の方法では、まず、(0001)面サファイア基板111上に $1.2\mu\text{m}$ 厚のGaN単膜112を予め形成した基板を準備する。このGaN膜112表面に SiO_2 膜を200nm形成し、フォトリソグラフィ法とウェットエッチングでマスク114と成長領域113に分離する。成長領域113及びマスク114はそれぞれ $5\mu\text{m}$ 及び $2\mu\text{m}$ 幅のストライプ状に形成されている。ストライプ方向は $\langle 11\bar{2}0 \rangle$ である(図7(a))。

[0004] 成長領域113に成長するGaN膜115はIII族原料であるガリウム(Ga)と塩化水素(HCl)の反応生成物である塩化ガリウム(GaCl)とV族原料にアンモニア(NH_3)ガスを用いるハイドライドVPE法を用いる。また、n型ドーパント材料としてジクロルシラン(SiH_2Cl_2)を用いる。基板111をハイドライドの成長装置にセットし、水素雰囲気で成長温度 1000°C に昇温する。成長温度が安定してから、HCl流量を $20\text{cc}/\text{分}$ で5分程度供給することで、成長領域113にGaN膜115の $\{1\bar{1}01\}$ 面からなるファセット構造を成長させる(図7(b))。さらにn型ドーパントであるジクロルシランを流しながら層厚が $140\mu\text{m}$ に達するまで成長を行う(図7(c)、(d)、(e))。この手法によれば、数百ミクロンのGaN膜を成長しても、2インチサイズの全面にクラックなしのウェハが提供される。基板の転位密度も大幅に低減されており、GaN単層膜112において 10^9 個/ cm^2 程度あった転位密度は $1\times 10^7\sim 2\times 10^7$ 個/ cm^2 程度まで低減できている。

特許文献1:特開平11-251253号公報

非特許文献1: Sugahara, M. Hao, T. Wang, D. Nakagawa, Y. Naoi, K. Nishino, and S. Sakai, Jpn. J. Appl. Phys. vol. 37, no.10B, pp. L1195-L1198, October 1998.

発明の開示

- [0005] しかしながら、上記手法を用いて転位密度を低減させても、依然として $1 \times 10^7 \sim 2 \times 10^7$ 個/cm²の転位は残留している。 $1 \times 10^7 \sim 2 \times 10^7$ 個/cm²の転位密度は、ストライプ幅 $2 \mu\text{m}$ 、共振器長 $500 \mu\text{m}$ の半導体レーザを考慮すると、1個のLD素子のストライプに100～200個の転位が存在することになる。転位は素子寿命を短くすることが知られており、更に転位を低減する必要がある。
- [0006] 本発明は、転位の低減された良好な品質のIII族窒化物半導体層を備えた基板あるいは素子を提供することを目的とする。
- [0007] III族窒化物半導体層の転位を低減するために、図7で示すプロセスで得られた低転位基板を用い、その上に更に同様なマスクパターンを形成して有機金属気相成長法(MOVPE)で成長を行うことが考えられる。図8はこうした方法により得られる半導体層構造を示す図である。この層構造は、以下のようにして形成することができる。
- [0008] はじめに、図7で記述した基板116を用いて、〈11-20〉方向にSiO₂ストライプマスク117を形成する。基板116表面付近の転位密度は 2×10^7 個/cm²程度である。マスク開口部117aの幅は $2 \mu\text{m}$ であり、SiO₂マスク領域は $18 \mu\text{m}$ とする。上記マスクを形成したウェハを、MOVPE装置において、SiドープGaNを開口部分117aに形成する。マスク開口部から成長させたGaN層は、その後、横方向成長し、マスクを介して隣接するGaN層と合体(以下この部分を会合部とする)する。
- [0009] こうしてGaN層が平坦化し、n-GaN層118が形成される。その後、n-GaN基板118上にSiドープn型Al_{0.1}Ga_{0.9}N(シリコン濃度 $4 \times 10^{17} \text{cm}^{-3}$ 、厚さ $1.2 \mu\text{m}$)からなるn型クラッド層119、Siドープn型Ga_{0.95}N(シリコン濃度 $4 \times 10^{17} \text{cm}^{-3}$ 、厚さ $0.1 \mu\text{m}$)からなるn型光閉じ込め層120を形成する。さらにその上に、In_{0.2}Ga_{0.8}N(厚さ4nm)井戸層とSiドープIn_{0.05}Ga_{0.95}N(シリコン濃度 $5 \times 10^{18} \text{cm}^{-3}$ 、厚さ6nm)バリア層とからなる多重量子井戸(MQW)層121(井戸数3個)、Mgドープp型Al_{0.2}Ga_{0.8}Nからなるキャップ層122、Mgドープp型Ga_{0.9}N(Mg濃度 $2 \times 10^{17} \text{cm}^{-3}$ 、厚さ $0.1 \mu\text{m}$)からなるp型光閉じ込め層123、Mgドープp型Al_{0.1}Ga_{0.9}N(Mg濃度 $2 \times 10^{17} \text{cm}^{-3}$ 、厚さ $0.5 \mu\text{m}$)

m)からなるp型クラッド層124、Mgドーパドp型GaN(Mg濃度 $2 \times 10^{17} \text{ cm}^{-3}$ 、厚さ0.1 μm)からなるp型コンタクト層125を順次成長させて、LD構造を形成する。

[0010] 作製したLD層構造の転位の挙動を調べるために、断面カソードルミネッセンス(CL)像を観察した結果を図9に示した。図9を見ると、基板上に作成した層に多数の暗点や暗線が存在していることが分る。CL像においては、例えば、非特許文献1に記述されているように、転位が存在するところは、転位が非発光に寄与するので暗点に見える性質がある。したがって、これらの暗線や暗点は、転位を表していると考えられる。このことから、第2のマスクパターンを用いて選択成長することで、新たな転位が発生していることが分った。この現象は図7における第一のマスクパターンを用いた場合でも起きていると思われるが、第一のマスクパターンの基板における転位密度が非常に高いため、断面CL観察では新たに発生した転位かどうか見分けが付かなかった。

[0011] 図10は、平面CL像であり、図8のサンプルの上側から電子線を当ててInGaN発光像を観察している。図10から、平面CL像では暗線が多数観測されている。これは、InGaNからなるInGaN層121面内に転位が存在することを意味している。

ところが、実際に透過型電子顕微鏡で図9のサンプルを観察すると、多重量子井戸(MQW)層121以外の層にも層面内方向に転位が存在した。このように、図8における層構造においては、デバイス特性や素子寿命につき、さらなる向上の余地を有していることが明らかになった。

[0012] 以下これら転位の挙動、発生原因について説明する。マスク付近に存在する多くの転位は、基板から引き継がれた転位が横方向成長により曲がってきた転位、マスクと横方向成長した窒化物半導体結晶の界面から発生した転位、横方向成長時に窒化物半導体の成長表面から発生する転位など、多くの発生源が存在すると考えられる。最初の基板から伝播する転位は、基板転位密度に依存するが、それ以外の転位発生やそれら転位がデバイス層構造にまで導入される原因は、マスク材と窒化物半導体結晶の相性や成長中における応力に依存すると考えられる。図8のサンプルにおける〈11-20〉方向の断面TEM観察を行ったところ、マスク材近辺の窒化物半導体において、〈11-20〉方向に多数の転位が存在することが確認された。したがって、マ

スク上に存在した転位は、マスクによる応力などの影響によって、〈11-20〉方向に曲がったと考えられる。一旦〈11-20〉方向に曲がった転位は、基板水平面内に走り、様々なきっかけで、別の水平面内の方向（例えば〈1-100〉方向に等価な方向）へ滑る。これが、図9や断面TEM観察で確認された転位であると考えられる。

[0013] このように図8のサンプルでは、転位が水平面内に伝播し、活性層であるInGaIn層にもそうした転位が導入されることが本発明者の検討により明らかになった。

[0014] すなわち、

(i)低転位基板の上にマスクを設け、その上にIII族窒化物半導体を成長させた場合、マスク近傍から多くの転位が発生すること、

(ii)このような種類の転位は、転位密度の低い基板を用いたときに顕著に発生することが本発明者の検討により明らかになった。

こうした現象は、転位が 10^7 個/cm²よりもさらに転位が低減された基板においては、より顕在化する。

[0015] 上記現象の起こる理由は必ずしも明らかではないが、基板転位密度が高い場合、再成長マスクの周りにも多くの転位が存在しており、この転位が結晶歪を緩和させているのに対し、低転位密度（例えば 10^7 個/cm²未満）の基板では、そのような結晶歪の緩和が起きにくいことによるものと考えられる。

[0016] そのような推察のもと、本発明者は、低転位基板の上にIII族窒化物半導体をマスク成長させるとき、マスク上に結晶歪を緩和する作用を有する領域を意図的に形成することが有効であると着想し、本発明の完成に至った。

[0017] 本発明によれば、III族窒化物半導体基板と、該III族窒化物半導体基板の上部に形成されたマスクと、該マスクの上部に形成された半導体多層膜と、を備え、前記マスクの表面に多結晶材料が堆積していることを特徴とする窒化物半導体基板が提供される。

[0018] また本発明によれば、III族窒化物半導体基板と、該III族窒化物半導体基板の上部に形成されたマスクと、該マスクの上部に形成された、活性層を含む半導体多層膜と、を備え、前記マスクの表面に多結晶材料が堆積していることを特徴とする窒化物半導体素子が提供される。

- [0019] 本発明によれば、マスク表面に堆積した多結晶材料の作用により、マスク上で結晶歪が緩和され、この結果、マスク上部に形成される半導体多層膜の結晶品質が良好となる。上記半導体素子においては、多結晶材料が表面に堆積したマスクが活性層の下部に設けられているため、活性層の品質を顕著に向上させることができる。
- [0020] 前述したように、本発明者の検討によれば、III族窒化物半導体基板のような比較的転位の少ない基板を用いた場合、基板上のマスク近傍で発生する転位が問題となる。本発明によれば、こうした転位を効果的に低減することができるため、III族窒化物半導体基板を用いる利点を生かしつつ、かかるIII族窒化物半導体基板を用いた場合に特有に生じる課題を有効に解決することができる。
- [0021] 本発明におけるIII族窒化物半導体基板は、その表面付近の転位密度を 1×10^7 個/cm²以下とすることが好ましい。本発明は、こうした低転位基板上のマスクから半導体層を成長させた場合における特有の課題、すなわち、マスク近傍に新たな転位が発生するという課題を効果的に解決するものであり、上記のような基板を用いた場合、より顕著な効果を奏する。なお、基板の転位密度は、基板表面を薬液処理してエッチピットを形成し、その密度を測定する方法、基板上に半導体層が形成された構造体の断面を電子顕微鏡で観察する方法、カソードルミネッセンス像を観察する方法等により測定できる。このうち、カソードルミネッセンスによる方法は、測定精度が高く好ましい。
- [0022] 以上説明したように本発明によれば、転位の低減された良好な品質のIII族窒化物半導体層を備えた基板あるいは素子が提供される。

図面の簡単な説明

- [0023] 上述した目的、およびその他の目的、特徴および利点は、以下に述べる好適な実施の形態、およびそれに付随する以下の図面によってさらに明らかになる。
- [0024] [図1]実施例に係る半導体素子の断面図である。
- [図2]実施例に係る半導体素子の断面図である。
- [図3]実施例に係る半導体素子の断面図である。
- [図4]実施例に係る半導体素子の断面図である。
- [図5]実施例に係る半導体素子の断面図である。

[図6]実施例に係る半導体素子の断面図である。

[図7]従来の半導体素子の製造方法を示す工程断面図である。

[図8]低転位基板を用い、その上でマスク開口部から半導体層を成長させて得られる層構造を示す図である。

[図9]図8に示した構造について断面カソードルミネッセンス(CL)像を観察した結果を示す図である。

[図10]図8に示した構造について平面カソードルミネッセンス(CL)像を観察した結果を示す図である。

発明を実施するための最良の形態

[0025] 本発明において、多結晶材料としては種々の物質を採用することができる。たとえば、アルミニウムおよび窒素を必須元素として含む物質とすることができる。たとえば、AlGa_N、AlN、InAlGa_N等の材料を用いることができる。このような材料を選択した場合、結晶歪を低減するのに好適な構造を実現できる。

[0026] 多結晶材料の形成されたマスクの表面は、空隙部を有する構造とすることが好ましい。こうすることにより、空隙部の作用により、一層効果的に結晶歪を低減できる。

[0027] 本発明において、マスクは、III族窒化物半導体基板の表面に直接、または、半導体層や絶縁層を介して設けることができる。基板表面に直接設けた場合、結晶歪の低減効果がより確実に得られる。

本発明は、表面付近の転位密度が 1×10^7 個以下であるIII族窒化物半導体基板を用いた場合、より顕著な効果を発揮する。上述のように、本発明は、低転位基板上のマスク近傍から発生する転位を効果的に低減するものである。転位密度が 1×10^7 個以下の基板では、基板由来の転位は低減するものの、マスク近傍における結晶歪による別の転位の発生が問題となる。かかる問題は、上記のような低転位密度の基板では特に顕著となるところ、本発明によれば、こうした問題を有効に解決でき、低転位基板の利点を生かしつつ低転位基板を用いた場合に特有に生じる課題が解決される。

[0028] (実施例)

以下、本発明を実施例に基づいてさらに詳細に説明する。なお、以下の実施例では、図7で説明したのと類似の方法により、通常より厚いマスクを用いてGa_N膜を成

長ささせて得られた基板を用いた。このマスクは、マスク幅 $2\mu\text{m}$ 、マスク高さ $1.7\mu\text{m}$ であり、図7の方法で得られるものより表面転位の低い基板を得ることができる。

以下、本発明に係る窒化物半導体基板の好ましい態様と、それを用いて作製した半導体レーザの例について、実施例に基づいて説明する。

[0029] 実施例1

本実施例に係る半導体レーザの構造を図1に示す。

この半導体レーザは以下のようにして作製することができる。まず、基板表面付近の転位密度が 9×10^6 個/ cm^2 のGaN基板1を用いて、 SiO_2 膜2をCVD法やプラズマCVD法により堆積する。その後、AlN多結晶3をスパッタリング法により堆積させ、 $\langle 11\text{--}20 \rangle$ 方向にレジストストライプマスクを形成する。マスク幅は $18\mu\text{m}$ 、開口幅は $2\mu\text{m}$ である。

[0030] ここで、AlN多結晶3を形成するにあたり、以下の処理を行う。

[0031] (i) SiO_2 膜2を形成後、ブタノン、エタノールで超音波洗浄を行い、純水で洗浄後、パッファードフッ酸で1secエッチングを行い、再び純水で洗浄後、窒素ブローによりウェハを乾燥させる。

[0032] (ii)その後、スパッタ装置に挿入して、基板温度を 50°C 以上に保ち、AlNスパッタによる堆積を行う。

[0033] 次いで、ドライエッチング及びウェットエッチング法により、開口部4で基板表面が露出するようにAlN多結晶3及び SiO_2 膜2をエッチングする。

[0034] つづいて、上記マスクを形成したウェハを用い、MOVPE装置により、SiドープGaNを開口部分に形成する。開口部形成後のMOVPE成長は、基板をホールドして、アンモニアガスを流しながら、一旦 600°C で5分ホールドした後、GaNの成長温度である 1080°C まで昇温し、30秒待機した後に成長を開始する。

[0035] マスク開口部から成長させたGaN層は、その後、横方向成長し、マスクを介して隣接するGaN層と合体(以下この部分を会合部という)する。

こうしてGaN層が平坦化し、n-GaN層5が形成され、AlN多結晶3の形成されたマスクを備える半導体基板が形成される。AlN多結晶3の形成された箇所周辺のn-GaN層5には空隙が導入される。

- [0036] 本実施例では、その後、ひきつづき半導体層の成長を行い、素子を形成する。まずSiドーブn型 $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ (シリコン濃度 $4 \times 10^{17} \text{ cm}^{-3}$ 、厚さ $1.2 \mu\text{m}$)からなるn型クラッド層6、Siドーブn型GaN(シリコン濃度 $4 \times 10^{17} \text{ cm}^{-3}$ 、厚さ $0.1 \mu\text{m}$)からなるn型光閉じ込め層7、 $\text{In}_{0.2}\text{Ga}_{0.8}\text{N}$ (厚さ4nm)井戸層とSiドーブ $\text{In}_{0.05}\text{Ga}_{0.95}\text{N}$ (シリコン濃度 $5 \times 10^{18} \text{ cm}^{-3}$ 厚さ6nm)バリア層からなる多重量子井戸(MQW)層8(井戸数3個)、Mgドーブp型 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{N}$ からなるキャップ層9、Mgドーブp型GaN(Mg濃度 $2 \times 10^{17} \text{ cm}^{-3}$ 、厚さ $0.1 \mu\text{m}$)からなるp型光閉じ込め層10、Mgドーブp型 $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ (Mg濃度 $2 \times 10^{17} \text{ cm}^{-3}$ 、厚さ $0.5 \mu\text{m}$)からなるp型クラッド層11、Mgドーブp型GaN(Mg濃度 $2 \times 10^{17} \text{ cm}^{-3}$ 、厚さ $0.1 \mu\text{m}$)からなるp型コンタクト層12を順次成長させて、LD層構造を形成する。その後、通常の露光技術で〈11-20〉方向にレジストストライプマスクを形成し、ドライエッチング法でエッチングを行い、リッジ13を形成する。その後、pコンタクト層側には、Ni/Pt/Auからなるp電極14を、n基板側にはTi/Alからなるn電極15を形成する。
- [0037] このように SiO_2 マスク材の上に多結晶AlNを堆積させ、その後に選択成長を行ったウェハでは、マスク上の転位密度は非常に少なくなる。したがって〈11-20〉方向にある転位も減少し、その上部のレーザ構造を構成する層に存在する転位を低減することができる。
- [0038] 実施例2
本実施例に係る半導体レーザの構造を図2に示す。
- [0039] この半導体レーザは以下のようにして作製することができる。まず、基板表面付近の転位密度が $5 \times 10^5 \text{ 個/cm}^2$ のGaN基板16上に SiO_2 膜17を堆積し、〈11-20〉方向にレジストストライプマスクを形成する。マスク幅は $18 \mu\text{m}$ 、開口幅は $2 \mu\text{m}$ である。ウェットエッチング法により、開口部19で基板表面が露出するように SiO_2 膜17をエッチングしてマスクを形成する。
- [0040] 形成したマスクを、ブタノン、エタノールで超音波洗浄を行い、純水で洗浄する。その後、バッファードフッ酸で1secエッチングを行い、再び純水で洗浄後、 100°C に保った硝酸で30分洗浄を行い、再び純水で洗浄後、窒素ブローでウェハを乾燥させる。

[0041] 上記のようにしてマスクを形成したウェハを、MOVPE装置において、Siドーブn型 $\text{Al}_{0.05}\text{Ga}_{0.95}\text{N}$ 層18を開口部分に形成する。この時、 SiO_2 マスク上にはAlGaIn多結晶材料が堆積されるような成長条件にする。すなわち、基板をホールドし、アンモニアガスを流しながら、AlGaInの成長温度である1080℃まで昇温し、シランを流しながら60秒待機した後に成長を開始する。こうすることにより、マスク上にはAlGaIn多結晶材料が堆積される。AlGaIn多結晶材料の周辺には空隙が導入される。

この段階で成膜室から基板を取り出し、窒化物半導体基板を得ることもできるが、本実施例ではひきつづき半導体層の成長を行い、素子を形成する。

[0042] 基板温度を1050℃に設定し、横方向成長を行い、隣のAlGaIn層と合体させ、平坦化を行いn- $\text{Al}_{0.08}\text{Ga}_{0.92}\text{N}$ からなるnクラッド(シリコン濃度 $4 \times 10^{17} \text{cm}^{-3}$ 、厚さ2 μm)層20を形成する。

[0043] その後、Siドーブn型GaIn(シリコン濃度 $4 \times 10^{17} \text{cm}^{-3}$ 、厚さ0.1 μm)からなるn型光閉じ込め層21、 $\text{In}_{0.2}\text{Ga}_{0.8}\text{N}$ (厚さ4nm)井戸層とSiドーブ $\text{In}_{0.05}\text{Ga}_{0.95}\text{N}$ (シリコン濃度 $5 \times 10^{18} \text{cm}^{-3}$ 厚さ6nm)バリア層からなる多重量子井戸(MQW)層22(井戸数3個)、Mgドーブp型 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{N}$ からなるキャップ層23、Mgドーブp型GaIn(Mg濃度 $2 \times 10^{17} \text{cm}^{-3}$ 、厚さ0.1 μm)からなるp型光閉じ込め層24、Mgドーブp型 $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ (Mg濃度 $2 \times 10^{17} \text{cm}^{-3}$ 、厚さ0.5 μm)からなるp型クラッド層25、Mgドーブp型GaIn(Mg濃度 $2 \times 10^{17} \text{cm}^{-3}$ 、厚さ0.1 μm)からなるp型コンタクト層26を順次成長させて、LD層構造を形成する。その後、通常の露光技術で〈11-20〉方向にレジストストライプマスクを形成し、ドライエッチング法でエッチングを行い、リッジ27を形成する。その後、pコンタクト層側には、Ni/Pt/Auからなるp電極28を、n基板側にはTi/Alからなるn電極29を形成する。

[0044] このように SiO_2 マスク材の上に多結晶AlGaInを成長時に堆積させ、その後に選択成長を行ったウェハでは、マスク上の転位密度は非常に少なくなる。したがって〈11-20〉方向にある転位も減少し、その上部のレーザ構造を構成する層に存在する転位を減らすことができる。

[0045] 実施例3

本実施例に係る半導体レーザの構造を図3に示す。この半導体レーザは以下のよ

うにして作製することができる。まず、基板表面付近の転位密度が 5×10^6 個/cm²のGa_{0.95}N基板30を用いて、SiO₂膜31を堆積させ、〈11-20〉方向にレジストストライプマスクを形成する。マスク幅は20 μm、開口幅は2 μmである。ウェットエッチング法により、開口部32で基板表面が露出するようにSiO₂膜31をエッチングする。上記マスクを形成したウェハを、MOVPE装置において、Siドープn型Al_{0.05}Ga_{0.95}N層33を開口部分に形成する。この時、SiO₂マスク上にはAlGa_{0.05}N多結晶材料が堆積されるように500℃以上の基板温度に設定する。多結晶材料が好適に堆積するように、形成したマスクに対し実施例2と同様の処理を行う。これにより、マスク上にはAlGa_{0.05}N多結晶材料が堆積される。AlGa_{0.05}N多結晶材料の周辺には空隙が導入される。

この段階で成膜室から基板を取り出し、窒化物半導体基板を得ることもできるが、本実施例ではひきつづき半導体層の成長を行い、素子を形成する。

[0046] その後、基板温度を1050℃に設定し、横方向成長を行い、隣のAlGa_{0.05}N層と合体させ、平坦化を行いn-AlGa_{0.05}N層34を形成している。その後、Siドープn型In_{0.1}Ga_{0.9}N(シリコン濃度 4×10^{17} cm⁻³、厚さ0.1 μm)中間層35、Siドープn型Al_{0.07}Ga_{0.93}N(シリコン濃度 4×10^{17} cm⁻³、厚さ0.8 μm)からなるn型クラッド層36、Siドープn型Ga_{0.2}N(シリコン濃度 4×10^{17} cm⁻³、厚さ0.1 μm)からなるn型光閉じ込め層37、In_{0.2}Ga_{0.8}N(厚さ4nm)井戸層とSiドープIn_{0.05}Ga_{0.95}N(シリコン濃度 5×10^{18} cm⁻³厚さ6nm)バリア層からなる多重量子井戸(MQW)層38(井戸数3個)、Mgドープp型Al_{0.2}Ga_{0.8}Nからなるキャップ層39、Mgドープp型Ga_{0.1}N(Mg濃度 2×10^{17} cm⁻³、厚さ0.1 μm)からなるp型光閉じ込め層40、Mgドープp型Al_{0.1}Ga_{0.9}N(Mg濃度 2×10^{17} cm⁻³、厚さ0.5 μm)からなるp型クラッド層41、Mgドープp型Ga_{0.1}N(Mg濃度 2×10^{17} cm⁻³、厚さ0.1 μm)からなるp型コンタクト層42を順次成長させて、LD層構造を形成する。

[0047] その後、通常の露光技術で〈11-20〉方向にレジストストライプマスクを形成し、ドライエッチング法でエッチングを行い、リッジ43を形成する。その後、pコンタクト層側には、Ni/Pt/Auからなるp電極44を、n基板側にはTi/Alからなるn電極45を形成する。

[0048] このようにSiO₂マスク材の上に多結晶AlGa_{0.05}Nを成長時に堆積させ、その後に選択

成長を行ったウェハでは、マスク上の転位密度は非常に少なくなる。したがって〈11-20〉方向にある転位も減少し、その上部のレーザ構造を構成する層に存在する転位を減らすことができる。

[0049] 実施例4

本実施例では、素子分離に利用する溝を選択成長で形成する場合の例を示す。本実施例に係る半導体レーザの構造を図4に示す。この半導体レーザは以下のようにして作製することができる。まず、基板表面付近の転位密度が 9×10^6 個/cm²のGaN基板46を用いて、SiO₂膜47をCVD法により堆積する。その後、AlN多結晶48をスパッタリング法により堆積させ、〈11-20〉方向にレジストストライプマスクを形成する。マスク幅は30 μm、開口幅は200 μmである。

[0050] ここで、AlN多結晶48を形成するにあたり、以下の処理を行う。

[0051] (i) SiO₂膜2を形成後、ブタノン、エタノールで超音波洗浄を行い、純水で洗浄後、バフアードフッ酸で1secエッチングを行い、再び純水で洗浄後、窒素ブローによりウェハを乾燥させる。

[0052] (ii)その後、スパッタ装置に挿入して、基板温度を50℃以上に保ち、AlNスパッタによる堆積を行う。

[0053] つづいてドライエッチング及びウェットエッチング法により、開口部49で基板表面が露出するようにAlN多結晶48及びSiO₂膜47をエッチングする。上記マスクを形成したウェハを、MOVPE装置において、SiドープGaNを開口部分に形成した後、横方向成長を行い、隣のGaN層と合体させ、平坦化を行いn-GaN層50を形成する。

こうしてGaN層が平坦化し、n-GaN層50が形成され、AlN多結晶48の形成されたマスクを備える半導体基板が形成される。AlN多結晶48の形成された箇所周辺のn-GaN層50には空隙が導入される。

その後、Siドープn型Al_{0.1}Ga_{0.9}N(シリコン濃度 4×10^{17} cm⁻³、厚さ1.2 μm)からなるn型クラッド層51、Siドープn型GaN(シリコン濃度 4×10^{17} cm⁻³、厚さ0.1 μm)からなるn型光閉じ込め層52、In_{0.2}Ga_{0.8}N(厚さ4nm)井戸層とSiドープIn_{0.05}Ga_{0.95}N(シリコン濃度 5×10^{18} cm⁻³厚さ6nm)バリア層からなる多重量子井戸(MQW)層53(井戸数3個)、Mgドープp型Al_{0.2}Ga_{0.8}Nからなるキャップ層54、Mgドープp型Ga

N(Mg濃度 $2 \times 10^{17} \text{ cm}^{-3}$ 、厚さ $0.1 \mu\text{m}$)からなるp型光閉じ込め層55、Mgドープp型 $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ (Mg濃度 $2 \times 10^{17} \text{ cm}^{-3}$ 、厚さ $0.5 \mu\text{m}$)からなるp型クラッド層56、Mgドープp型GaN(Mg濃度 $2 \times 10^{17} \text{ cm}^{-3}$ 、厚さ $0.1 \mu\text{m}$)からなるp型コンタクト層57を順次成長させて、LD層構造を形成する。その後、通常の露光技術で〈11-20〉方向にレジストストライプマスクを形成し、ドライエッチング法でエッチングを行い、リッジ58を形成する。その後、p側に SiO_2 誘電体膜91、Ni/Pt/Auからなるp電極59を、n基板側にはTi/Alからなるn電極60を形成する。その後、分離溝の箇所で素子分離を行い半導体レーザ素子を得る。

[0054] このように SiO_2 マスク材の上に多結晶AlNを堆積させ、その後に選択成長を行ったウェハでは、マスク上の転位密度は非常に少なくなる。したがって〈11-20〉方向にある転位も減少し、その上部のレーザ構造を構成する層に存在する転位を減らすことができる。マスク材のある領域とデバイスを作製した領域は $100 \mu\text{m}$ 程度離れているが、一度転位が発生すると、層面内で転位が導入されるので、このような場合でも影響が大きい。実際、マスク上の多結晶層のないサンプルで平面CL像を観察すると、図10同様、平面内に転位が存在した。

[0055] 実施例5

本実施例に係る半導体レーザの構造を図5に示す。この半導体レーザは以下のようにして作製することができる。基板表面付近の転位密度が $2 \times 10^6 \text{ 個}/\text{cm}^2$ のGaN基板61を用いて、 SiO_2 膜62を堆積させ、〈11-20〉方向にレジストストライプマスクを形成する。マスク幅は $40 \mu\text{m}$ 、開口幅は $260 \mu\text{m}$ である。ウェットエッチング法により、開口部64で基板表面が露出するように SiO_2 膜62をエッチングエッチングしてマスクを形成する。

[0056] 形成したマスクを、ブタノン、エタノールで超音波洗浄を行い、純水で洗浄する。その後、バッファードフッ酸で1secエッチングを行い、再び純水で洗浄後、 100°C に保った硝酸で30分洗浄を行い、再び純水で洗浄後、窒素ブローでウェハを乾燥させる。

[0057] 上記マスクを形成したウェハを、MOVPE装置において、Siドープn型 $\text{Al}_{0.06}\text{Ga}_{0.94}\text{N}$ (シリコン濃度 $4 \times 10^{17} \text{ cm}^{-3}$ 、厚さ $2.5 \mu\text{m}$)からなるクラッド層65を開口部分に

形成する。この時、 SiO_2 マスク上にはAlGa_{0.2}N多結晶63が堆積されるように基板温度など成長条件を設定する。すなわち、基板をホールドし、アンモニアガスを流しながら、AlGa_{0.2}Nの成長温度である1080℃まで昇温し、シランを流しながら60秒待機した後、成長を開始する。これにより、マスク上にAlGa_{0.2}N多結晶材料が堆積される。AlGa_{0.2}N多結晶材料の周辺には空隙が導入される。

この段階で成膜室から基板を取り出し、窒化物半導体基板を得ることもできるが、本実施例ではひきつづき半導体層の成長を行い、素子を形成する。

- [0058] その後、Siドーブn型Ga_{0.95}N(シリコン濃度 $4 \times 10^{17} \text{ cm}^{-3}$ 、厚さ $0.1 \mu\text{m}$)からなるn型光閉じ込め層66、In_{0.2}Ga_{0.8}N(厚さ4nm)井戸層とSiドーブIn_{0.05}Ga_{0.95}N(シリコン濃度 $5 \times 10^{18} \text{ cm}^{-3}$ 厚さ6nm)バリア層からなる多重量子井戸(MQW)層67(井戸数3個)、Mgドーブp型Al_{0.2}Ga_{0.8}Nからなるキャップ層68、Mgドーブp型Ga_{0.1}N(Mg濃度 $2 \times 10^{17} \text{ cm}^{-3}$ 、厚さ $0.1 \mu\text{m}$)からなるp型光閉じ込め層69、Mgドーブp型Al_{0.9}Ga_{0.1}N(Mg濃度 $2 \times 10^{17} \text{ cm}^{-3}$ 、厚さ $0.5 \mu\text{m}$)からなるp型クラッド層70、Mgドーブp型Ga_{0.9}N(Mg濃度 $2 \times 10^{17} \text{ cm}^{-3}$ 、厚さ $0.1 \mu\text{m}$)からなるp型コンタクト層71を順次成長させて、LD層構造を形成する。その後、通常の露光技術で〈11-20〉方向にレジストストライプマスクを形成し、ドライエッチング法でエッチングを行い、リッジ72を形成する。その後、pコンタクト層側には、p側に SiO_2 誘電体膜92を堆積後、Ni/Pt/Auからなるp電極73を、n基板側にはTi/Alからなるn電極74を形成する。その後、分離溝の箇所で素子分離を行い半導体レーザ素子を得る。

このように SiO_2 マスク材の上に多結晶AlGa_{0.2}Nを成長時に堆積させ、その後に選択成長を行ったウェハでは、マスク上の転位密度は非常に少なくなる。したがって〈11-20〉方向にある転位も減少し、その上部のレーザ構造を構成する層に存在する転位を減らすことができる。マスク材のある領域とデバイスを作製して領域は、 $130 \mu\text{m}$ 程度離れているが、一度転位が発生すると、層面内で転位が導入されるので、このような場合でも影響が大きい。

[0059] 実施例6

本実施例に係る半導体レーザの構造を図6に示す。本実施例では、まず基板表面付近の転位密度が $9 \times 10^6 \text{ 個/cm}^2$ のGa_{0.95}N基板75を用いて、 SiO_2 膜76を堆積させ

、〈11-20〉方向にレジストストライプマスクを形成する。マスク幅は $50\mu\text{m}$ 、開口幅は $300\mu\text{m}$ である。ウェットエッチング法により、開口部78で基板表面が露出するように SiO_2 膜76をエッチングしてマスクを形成する。

[0060] 形成したマスクを、ブタノン、エタノールで超音波洗浄を行い、純水で洗浄する。その後、バッファードフッ酸で1secエッチングを行い、再び純水で洗浄後、 100°C に保った硝酸で30分洗浄を行い、再び純水で洗浄後、窒素ブローでウェハを乾燥させる。

[0061] 上記のようにしてマスクを形成したウェハを、MOVPE装置において、 Si ドープn型 $\text{Al}_{0.05}\text{Ga}_{0.95}\text{N}$ を開口部分に形成する。この時、 SiO_2 マスク上には AlGaIn 多結晶77が堆積されるように 500°C 以上の基板温度に設定する。具体的には、基板をホルドルし、アンモニアガスを流しながら、 AlGaIn の成長温度である 1080°C まで昇温し、シランを流しながら60秒待機した後成長を開始する。これにより、マスク上に AlGaIn 多結晶材料が堆積される。 AlGaIn 多結晶材料の周辺には空隙が導入される。

この段階で成膜室から基板を取り出し、窒化物半導体基板を得ることもできるが、本実施例ではひきつづき半導体層の成長を行い、素子を形成する。

[0062] その後、基板温度を 1050°C に設定し、n- $\text{Al}_{0.05}\text{Ga}_{0.95}\text{N}$ 層79を形成しする。その後、 Si ドープn型 $\text{In}_{0.1}\text{Ga}_{0.9}\text{N}$ (シリコン濃度 $4\times 10^{17}\text{cm}^{-3}$ 、厚さ $0.1\mu\text{m}$)中間層80、 Si ドープn型 $\text{Al}_{0.07}\text{Ga}_{0.93}\text{N}$ (シリコン濃度 $4\times 10^{17}\text{cm}^{-3}$ 、厚さ $0.8\mu\text{m}$)からなるn型クラッド層81、 Si ドープn型 GaIn (シリコン濃度 $4\times 10^{17}\text{cm}^{-3}$ 、厚さ $0.1\mu\text{m}$)からなるn型光閉じ込め層82、 $\text{In}_{0.2}\text{Ga}_{0.8}\text{N}$ (厚さ4nm)井戸層と Si ドープ $\text{In}_{0.05}\text{Ga}_{0.95}\text{N}$ (シリコン濃度 $5\times 10^{18}\text{cm}^{-3}$ 厚さ6nm)バリア層からなる多重量子井戸(MQW)層83(井戸数3個)、 Mg ドープp型 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{N}$ からなるキャップ層84、 Mg ドープp型 GaIn (Mg 濃度 $2\times 10^{17}\text{cm}^{-3}$ 、厚さ $0.1\mu\text{m}$)からなるp型光閉じ込め層85、 Mg ドープp型 $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ (Mg 濃度 $2\times 10^{17}\text{cm}^{-3}$ 、厚さ $0.5\mu\text{m}$)からなるp型クラッド層86、 Mg ドープp型 GaIn (Mg 濃度 $2\times 10^{17}\text{cm}^{-3}$ 、厚さ $0.1\mu\text{m}$)からなるp型コンタクト層87を順次成長させて、LD層構造を形成する。

[0063] その後、通常の露光技術で〈11-20〉方向にレジストストライプマスクを形成し、ドライエッチング法でエッチングを行い、リッジ88を形成する。その後、p側に SiO_2 誘電

体膜93を堆積し、pコンタクト層側には、Ni/Pt/Auからなるp電極89を、n基板側にはTi/Alからなるn電極90を形成する。その後、分離溝の箇所で素子分離を行い半導体レーザ素子を得る。

[0064] このようにSiO₂マスク材の上に多結晶AlGa_xIn_yGa_{1-x-y}Nを成長時に堆積させ、その後に選択成長を行ったウェハでは、マスク上の転位密度は非常に少なくなる。したがって〈11-20〉方向にある転位も減少し、その上部のレーザ構造を構成する層に存在する転位を減らすことができる。

[0065] 以上、各実施例により説明したように、パターニングされたマスク材(SiO₂など)のウェハ上に窒化物半導体を成長する場合、マスク上に多結晶を形成することで、マスク上の転位密度は非常に少なくなる。したがって、マスクの応力などによって〈11-20〉方向に曲がるので転位も減少し、更に、〈11-20〉方向から層面内に曲がる転位も減少し、その上部のレーザ構造を構成する層に存在する転位を減らすことができる。また、実施例の中には、マスク上の多結晶を形成する方法として、成長装置を用いたものもあり、これらは、工程数を減らすなどの効果もある。

[0066] 以上、図面を参照して本発明の一実施形態について述べたが、これは本発明の例示であり、上記以外の様々な構成を採用することもできる。

[0067] たとえば、上記実施例では、マスク材料としてSiO₂を用いたが、SiN_x、アルミナなど、別のマスク材を用いることができる。また、マスク形状は〈11-20〉方向のストライプパターンとしたが、四角、丸、六角形などの形状でも良い。

[0068] また、転位を減らす為に、マスク上に多結晶AlGa_xIn_yGa_{1-x-y}Nを形成したが、これに限られず、多結晶Al_xIn_yGa_{1-x-y}N(0≤x≤1、0≤y≤1)でも良い。

[0069] また、上記実施例では半導体レーザを例に説明したが、本発明は発光ダイオード等の他の発光素子にも適用することができ、さらに、受光素子や電子デバイスなどの素子にも適用可能である。

[0070] 中間層は、上記実施例ではInGa_xIn_yGa_{1-x-y}Nを用いたが、これに限られず、Al_xIn_yGa_{1-x-y}N(0≤x≤1、0≤y≤1)を用いることができる。

請求の範囲

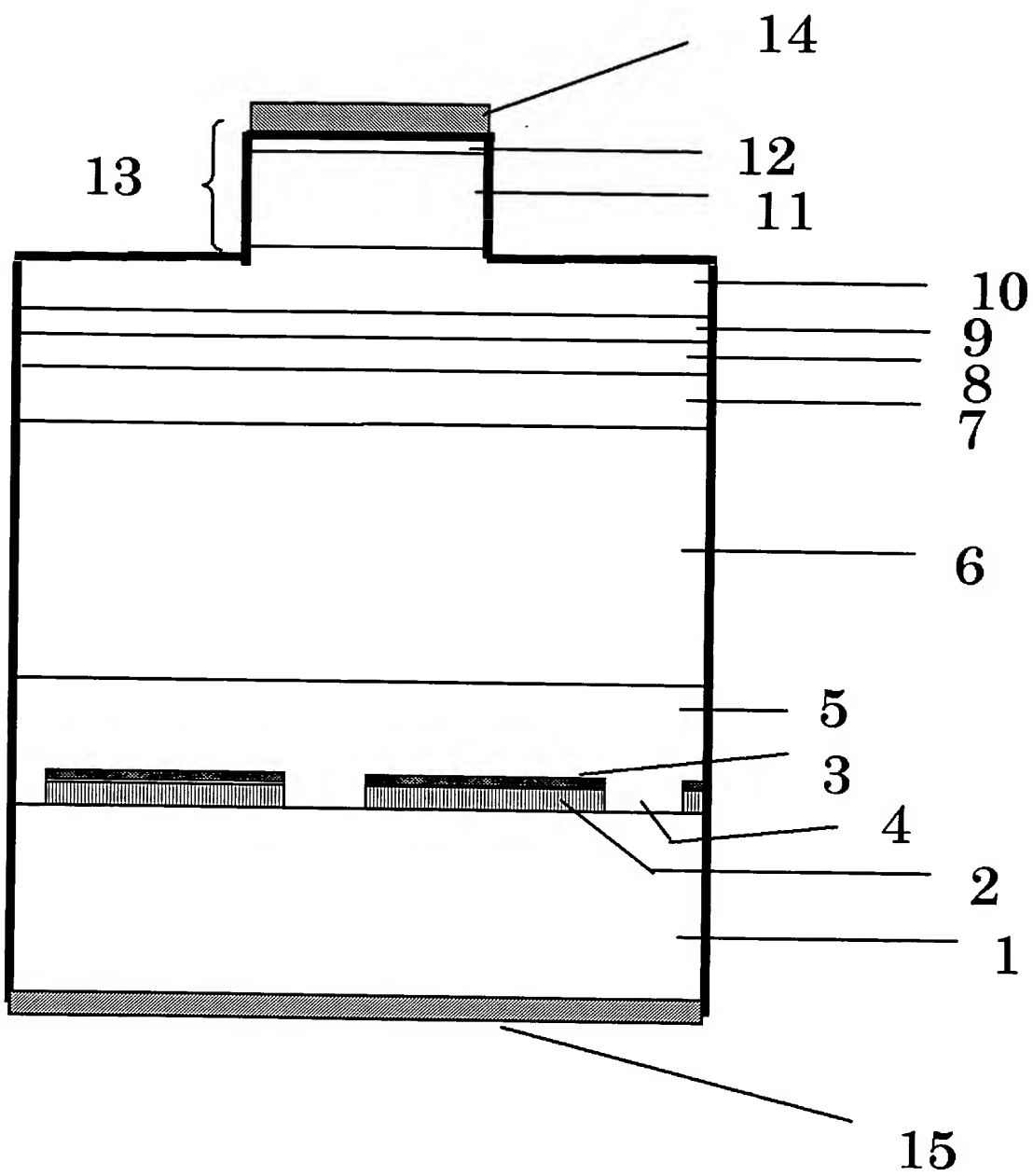
- [1] III族窒化物半導体基板と、
該III族窒化物半導体基板の上部に形成されたマスクと、
該マスクの上部に形成された半導体多層膜と、
を備え、
前記マスクの表面に多結晶材料が堆積していることを特徴とする窒化物半導体基板。
- [2] 請求の範囲第1項に記載の窒化物半導体基板において、
前記多結晶材料は、アルミニウムおよび窒素を必須元素として含む物質からなることを特徴とする窒化物半導体基板。
- [3] 請求の範囲第1項に記載の窒化物半導体基板において、
前記多結晶材料の形成された前記マスクの表面に、空隙部を有することを特徴とする窒化物半導体基板。
- [4] 請求の範囲第1項に記載の窒化物半導体基板において、
前記マスクが前記III族窒化物半導体基板の表面に設けられたことを特徴とする窒化物半導体基板。
- [5] 請求の範囲第1項に記載の窒化物半導体基板において、
前記III族窒化物半導体基板の表面付近の転位密度が 1×10^7 個/cm²以下であることを特徴とする窒化物半導体基板。
- [6] III族窒化物半導体基板と、
該III族窒化物半導体基板の上部に形成されたマスクと、
該マスクの上部に形成された、活性層を含む半導体多層膜と、
を備え、
前記マスクの表面に多結晶材料が堆積していることを特徴とする窒化物半導体素子。
- [7] 請求の範囲第6項に記載の窒化物半導体素子において、
前記多結晶材料は、アルミニウムおよび窒素を必須元素として含む物質からなることを特徴とする窒化物半導体素子。

- [8] 請求の範囲第6項に記載の窒化物半導体素子において、
前記多結晶材料の形成された前記マスクの表面に、空隙部を有することを特徴とする窒化物半導体素子。
- [9] 請求の範囲第6項に記載の窒化物半導体素子において、
前記マスクが前記III族窒化物半導体基板の表面に設けられたことを特徴とする窒化物半導体素子。
- [10] 請求の範囲第6項に記載の窒化物半導体素子において、
前記III族窒化物半導体基板の表面付近の転位密度が 1×10^7 個/cm²以下であることを特徴とする窒化物半導体素子。
- [11] 請求の範囲第6項に記載の窒化物半導体素子において、
前記マスクが、当該窒化物半導体素子の素子分離面近傍に設けられたことを特徴とする窒化物半導体素子。
- [12] III族窒化物半導体基板上にマスクを形成する工程と、
前記マスクの表面に多結晶材料を堆積させる工程と、
該マスクの上部に、活性層を含む半導体多層膜を形成する工程と、
を含むことを特徴とする窒化物半導体基板の製造方法。
- [13] 請求の範囲第12項に記載の窒化物半導体基板の製造方法において、
前記マスクの表面に多結晶材料を堆積させる工程は、前記マスクの表面に酸を接触させた後、前記多結晶材料を堆積させる工程を含むことを特徴とする窒化物半導体基板の製造方法。
- [14] 請求の範囲第12項に記載の窒化物半導体基板の製造方法において、
前記マスクの表面に前記多結晶材料を堆積させる工程において、前記マスクの表面に空隙部を形成することを特徴とする窒化物半導体基板の製造方法。
- [15] 請求の範囲第12項に記載の窒化物半導体基板の製造方法において、
前記マスクを前記III族窒化物半導体基板の表面に設けることを特徴とする窒化物半導体基板の製造方法。
- [16] 請求の範囲第12項に記載の窒化物半導体基板の製造方法において、
前記III族窒化物半導体基板の表面付近の転位密度が 1×10^7 個/cm²以下であ

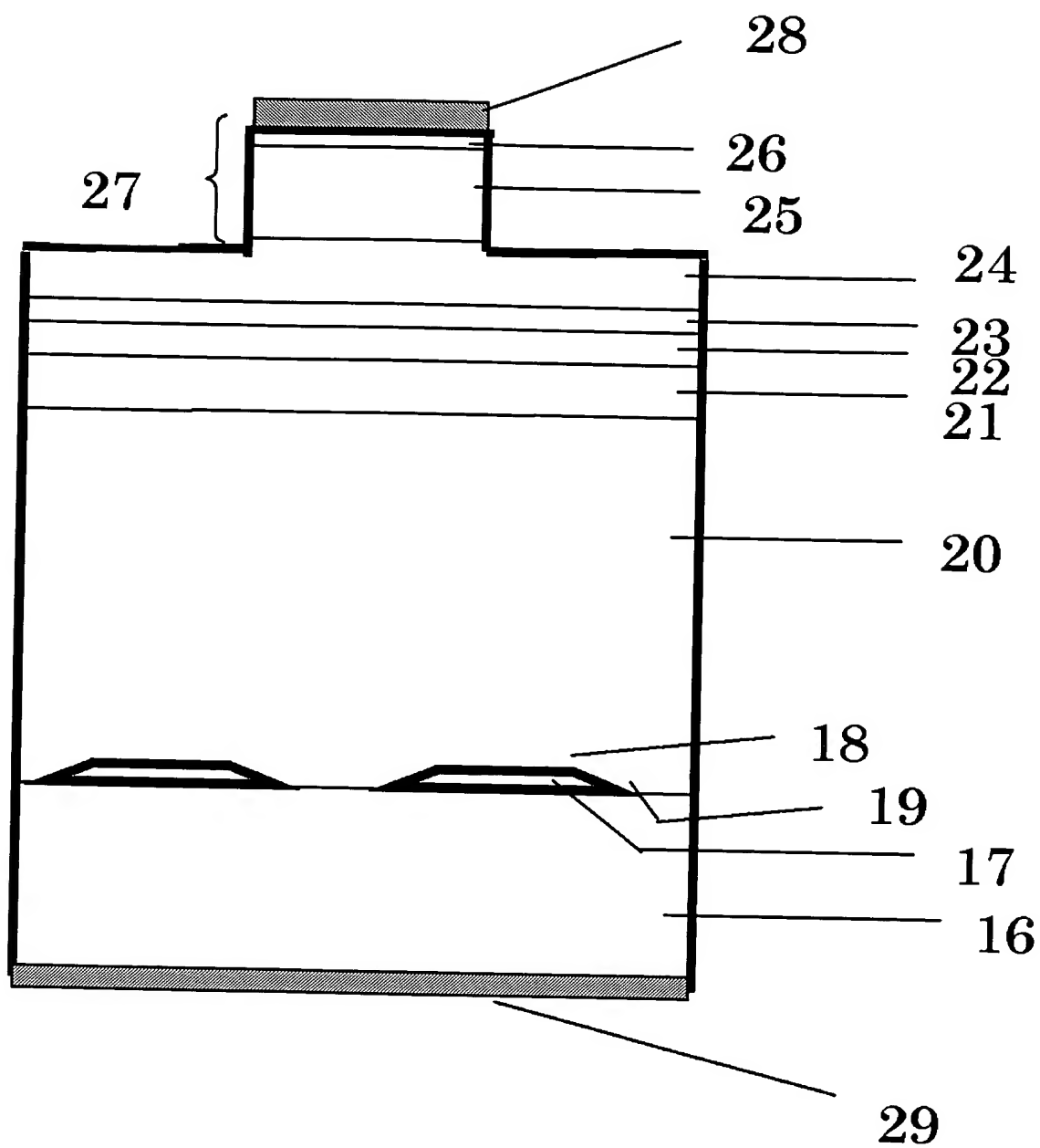
ることを特徴とする窒化物半導体基板の製造方法。

- [17] III族窒化物半導体基板上にマスクを形成する工程と、
前記マスクの表面に多結晶材料を堆積させる工程と、
該マスクの上部に、活性層を含む半導体多層膜を形成する工程と、
を含むことを特徴とする窒化物半導体素子の製造方法。
- [18] 請求の範囲第17項に記載の窒化物半導体素子の製造方法において、
前記マスクの表面に多結晶材料を堆積させる工程は、前記マスクの表面に酸を接触させた後、前記多結晶材料を堆積させる工程を含むことを特徴とする窒化物半導体素子の製造方法。
- [19] 請求の範囲第17項に記載の窒化物半導体素子の製造方法において、
前記マスクの表面に前記多結晶材料を堆積させる工程において、前記マスクの表面に空隙部を形成することを特徴とする窒化物半導体素子の製造方法。
- [20] 請求の範囲第17項に記載の窒化物半導体素子の製造方法において、
前記マスクを前記III族窒化物半導体基板の表面に設けることを特徴とする窒化物半導体素子の製造方法。
- [21] 請求の範囲第17項に記載の窒化物半導体基板の製造方法において、
前記III族窒化物半導体基板の表面付近の転位密度が 1×10^7 個/cm²以下であることを特徴とする窒化物半導体基板の製造方法。

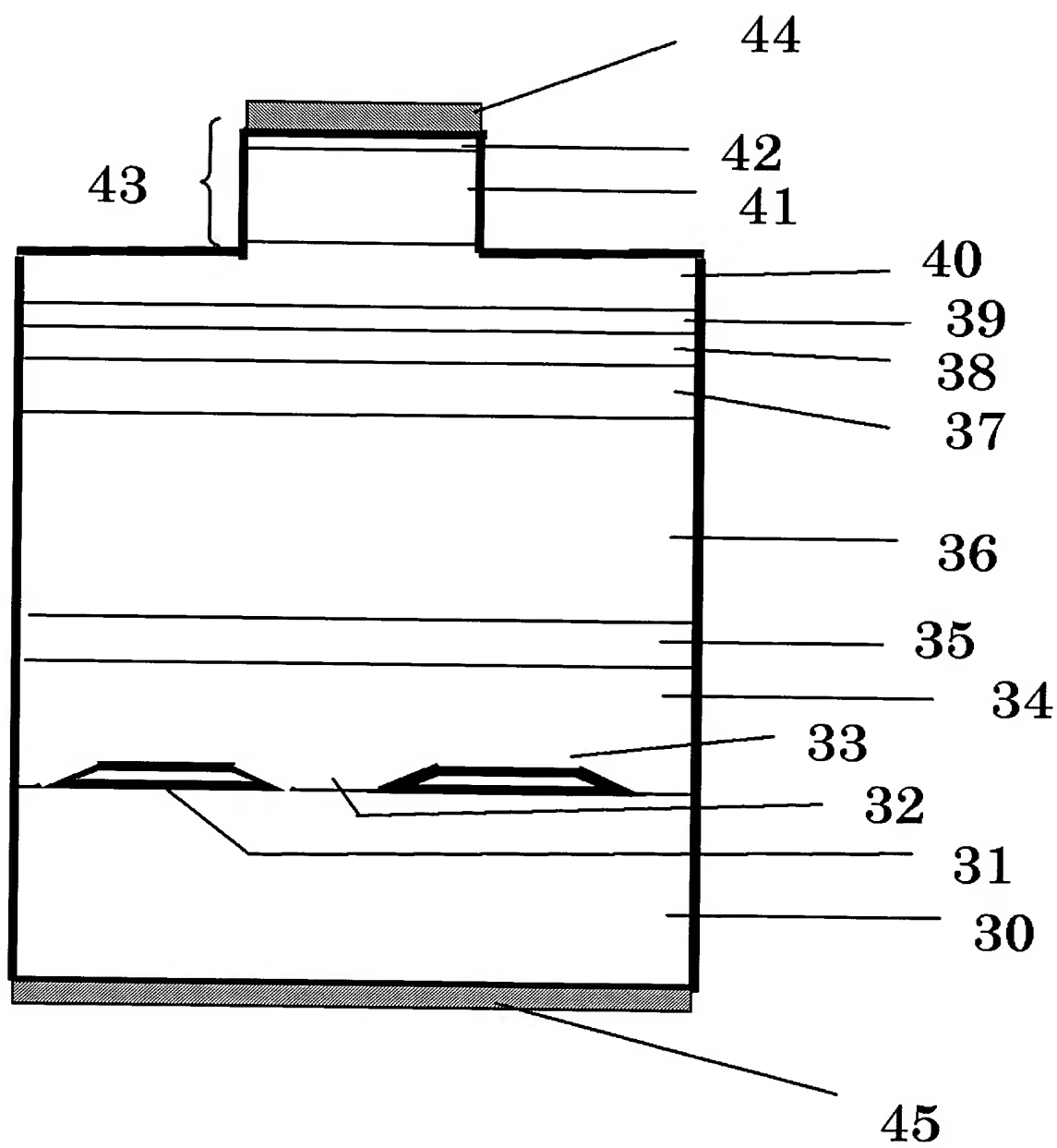
[図1]



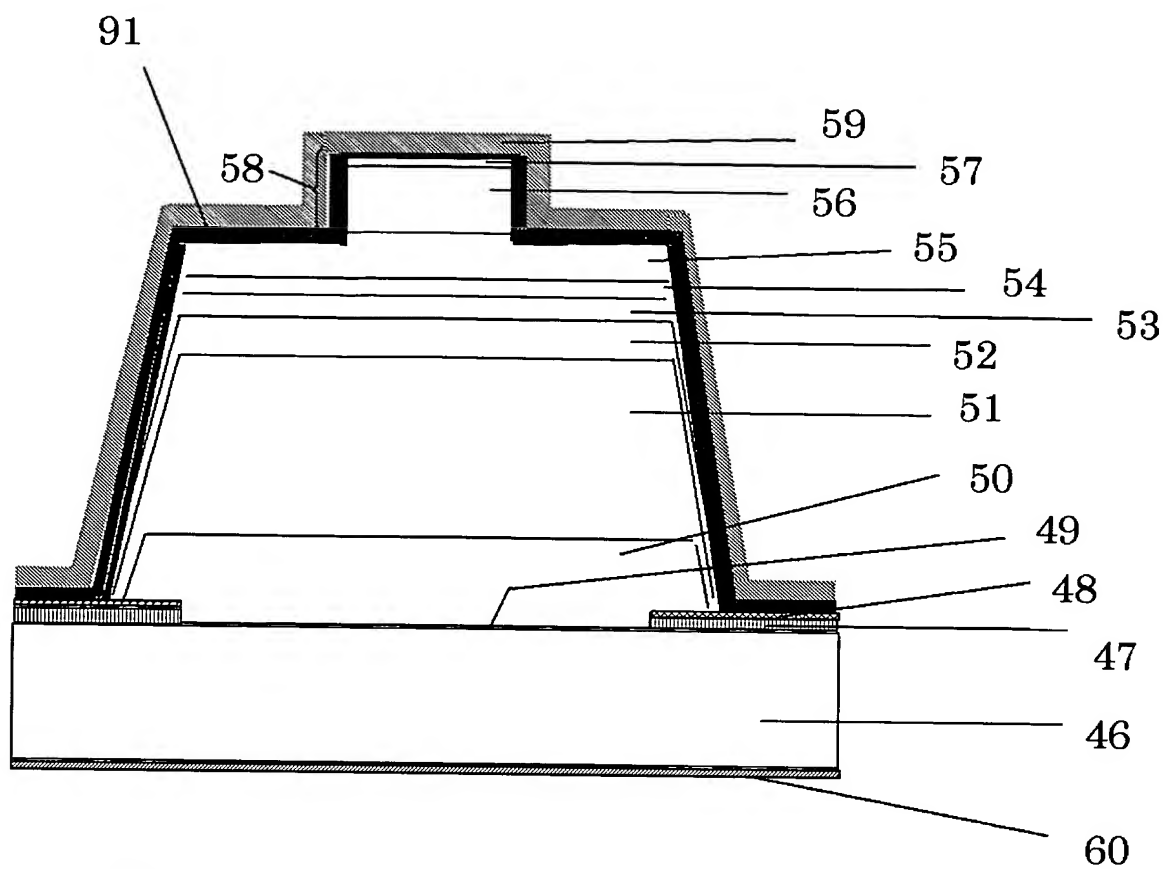
[図2]



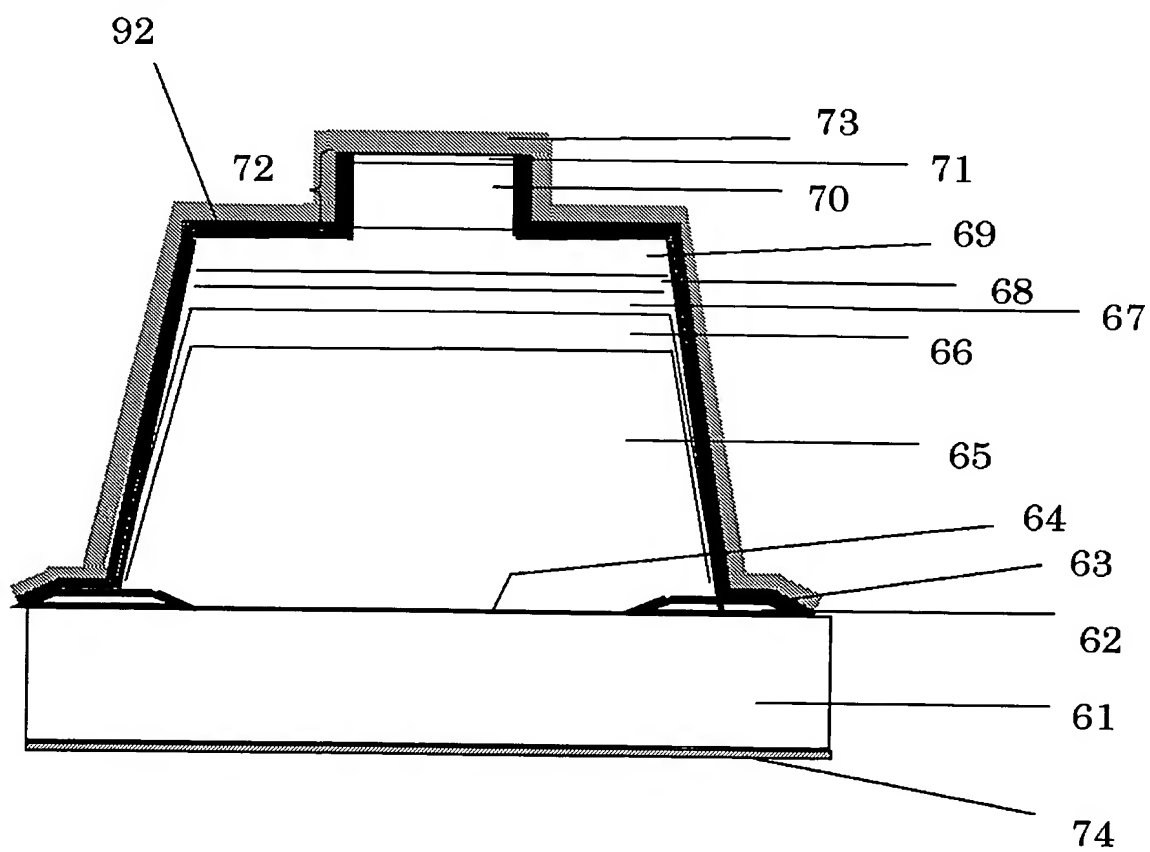
[図3]

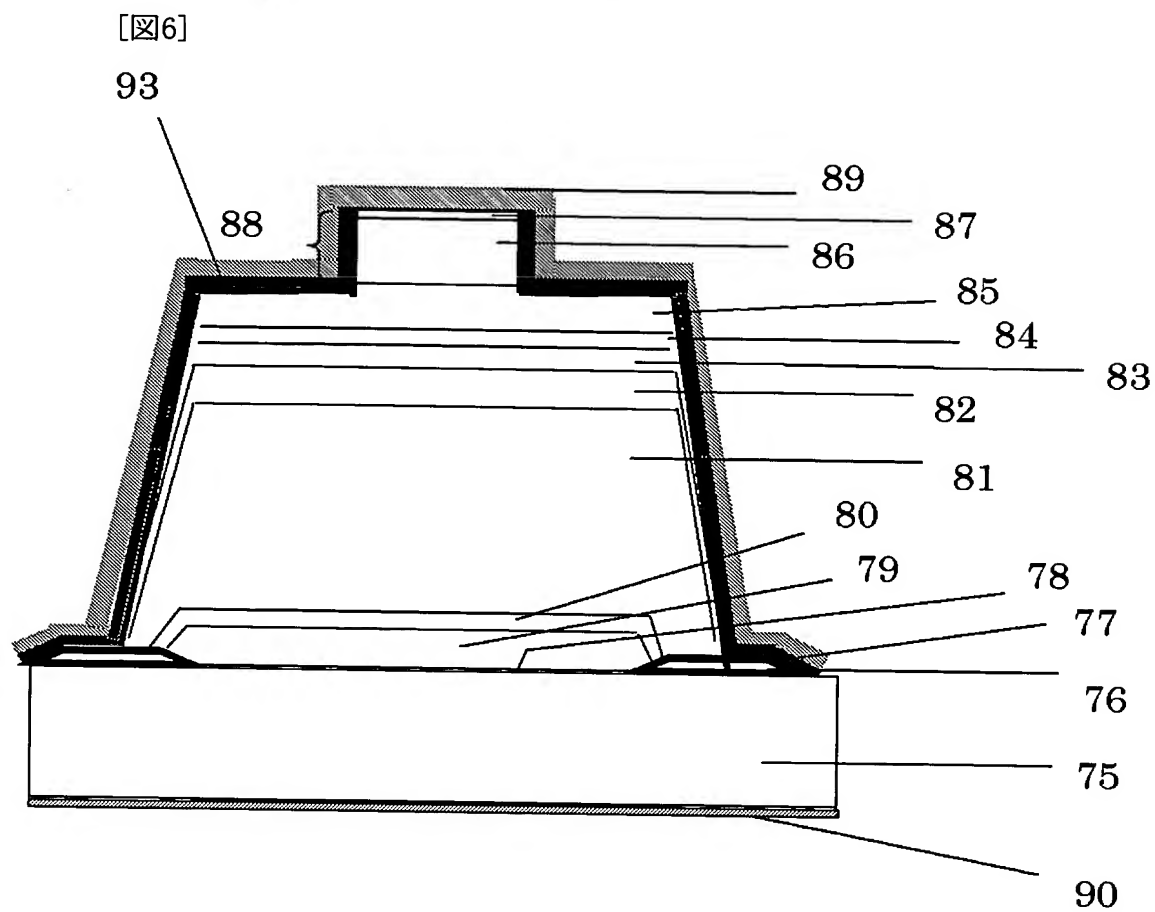


[図4]

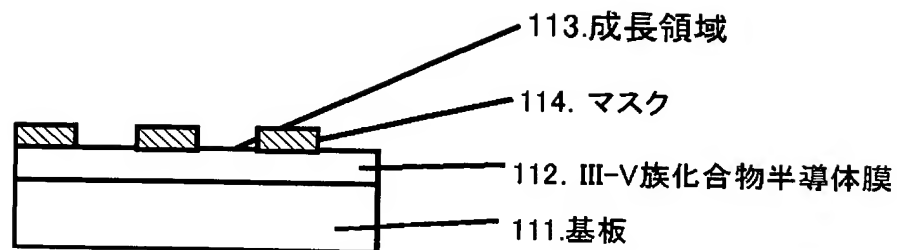


[図5]

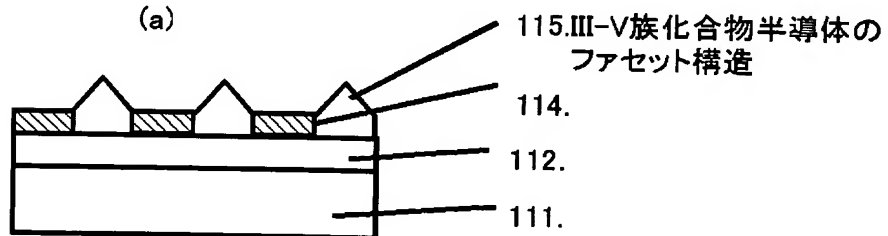




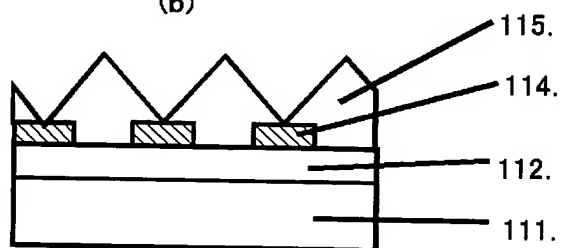
[図7]



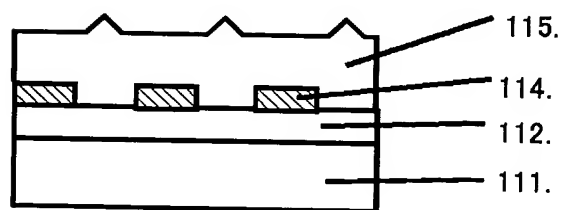
(a)



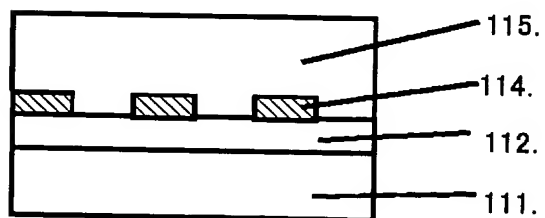
(b)



(c)

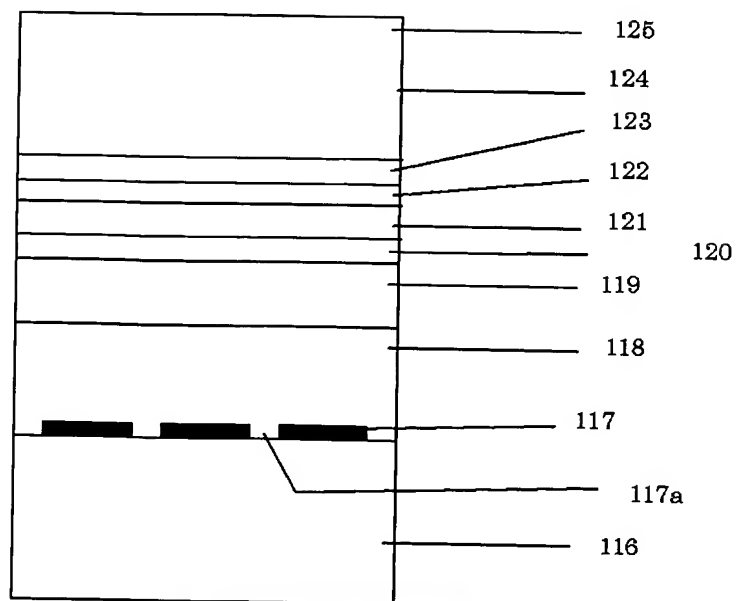


(d)

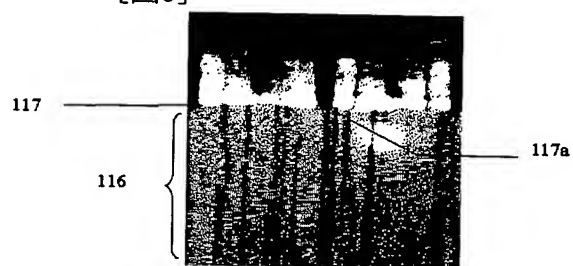


(e)

[図8]



[図9]



[図10]

 $\langle 11-20 \rangle$ 方向 $\langle 1-100 \rangle$ 方向

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/012467

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L21/205, H01L33/00, H01S5/323

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L21/205, H01L33/00, H01S5/323, C23C16/44

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2000-058981 A (NEC Corp.), 25 February, 2000 (25.02.00), Par. Nos. [0034] to [0039] (Family: none)	1-2, 4, 6-7, 9, 12, 15, 17, 20
Y	JP 2002-009004 A (Matsushita Electric Industrial Co., Ltd.), 11 January, 2002 (11.01.02), Fig. 6 & US 2003/0143771 A1 & EP 1104031 A2	1, 3, 6, 8, 12, 14, 17, 19
Y	JP 2002-075871 A (Matsushita Electric Industrial Co., Ltd.), 15 March, 2002 (15.03.02), Full text (Family: none)	1-4, 6-9, 12, 14-15, 17, 19-20

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
30 November, 2004 (30.11.04)

Date of mailing of the international search report
28 December, 2004 (28.12.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/012467

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-058461 A (NEC Corp.), 25 February, 2000 (25.02.00), Fig. 4, 106 (Family: none)	1, 6, 12, 17

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl¹ H01L21/205, H01L33/00, H01S5/323

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl¹ H01L21/205, H01L33/00, H01S5/323, C23C16/44

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2004年
日本国登録実用新案公報 1994-2004年
日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2000-058981 A (日本電気株式会社) 2000. 02. 25, 段落【0034】 —【0039】,(ファミリーなし)	1-2, 4, 6-7, 9, 12, 15, 17, 20
Y	JP 2002-009004 A (松下電器産業株式会社) 2002. 01. 11, 図6, & US 2003/0143771 A1 & EP 1104031 A2	1, 3, 6, 8, 12, 14, 17, 19
Y	JP 2002-075871 A (松下電器産業株式会社) 2002. 03. 15, 全文, (ファミリーなし)	1-4, 6-9, 12, 14-15, 17, 19- 20
A	JP 2000-058461 A (日本電気株式会社) 2000. 02. 25, 図4の106, (ファミリーなし)	1, 6, 12, 17

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

30. 11. 2004

国際調査報告の発送日

28.12.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

池淵 立

4R

8831

電話番号 03-3581-1101 内線 3469